

1/1 JAPIO - (C) JPO- image

PN - JP 07036787 A 19950207 [***JP07036787***]

TI - FLASH MEMORY DEVICE

IN - NAKATANI KOICHI

PA - HITACHI LTD

AP - JP17903593 19930720 [1993JP-0179035]

IC1 - G06F-012/16

IC2 - G11C-016/06

AB - PURPOSE: To reduce the power consumption and to prolong the service life by preventing the overwriting for the written flash memory.

- CONSTITUTION: A control signal generation circuit 104 issues a batch writing command to plural flash memories 105 and 1-6 corresponding to the writing command from a CPU 101. The CPU 101 judges whether or not data are correctly written after the flash memories 105 and 106 are written. An information holding circuit 108 holds the diagnosis result. When the data can not be correctly written, the control signal generation circuit 104 issues a writing command again corresponding to the writing command issued again from the CPU 101. A writing inhibit circuit 113 makes the writing command which is issued again invalid for the written flash memory based on the diagnosis result held in the information holding circuit 108.

- COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-36787

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 1 0 H	9293-5B		
G 1 1 C 16/06				
	6866-5L		G 1 1 C 17/ 00	3 0 9 E
				5 1 0 A

審査請求 未請求 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願平5-179035

(22) 出願日 平成5年(1993)7月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中谷 公一

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

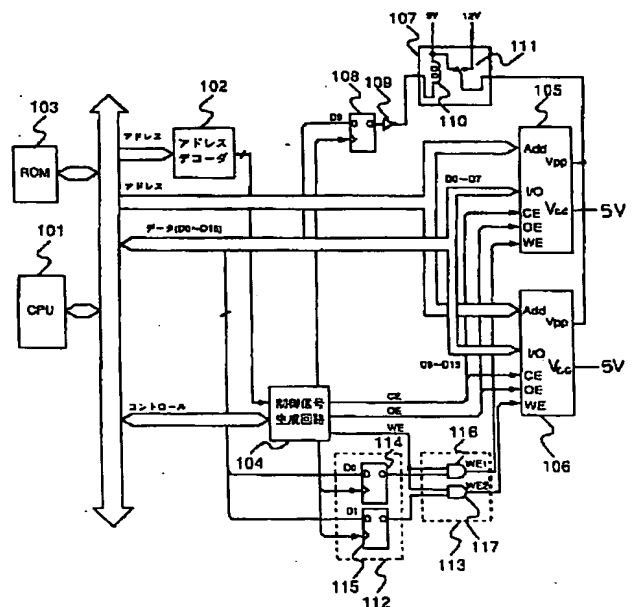
(74) 代理人 弁理士 富田 和子

(54) 【発明の名称】 フラッシュメモリ装置

(57) 【要約】

【構成】 制御信号生成回路104は、CPU101からの書き込み命令に対応して、上記複数のフラッシュメモリ105、106に対して、一括して書き込み命令を発行する。CPU101は、上記フラッシュメモリの各々について、書き込みの実行後に、データを正しく書き込めたか否かを診断する。情報保持回路108は、診断結果を保持する。書き込みが正しくできなかったときは、CPU101からの再度の書き込み命令に対応して、制御信号生成回路104は、再度の書き込み命令を発行する。書き込み禁止回路113は、上記情報保持回路108に保持されている診断結果をもとに書き込みに成功したフラッシュメモリに対して、再度の書き込み命令を無効化する。

【効果】 書き込みに成功したフラッシュメモリに対する過書き込みを防止できるので、消費電力の低減と、寿命の短縮化の防止とができる。



【特許請求の範囲】

【請求項1】複数のフラッシュメモリと、外部からの書き込み命令に対応して、上記複数のフラッシュメモリに対して、一括して書き込み命令を発行し、書き込みが正しくできなかったときは、再度の書き込み命令を発行する制御手段とを有するフラッシュメモリ装置において、上記フラッシュメモリの各々について、制御手段からのデータの書き込み命令による書き込みの実行後に、データを正しく書き込めたか否かを診断する診断手段と、上記診断手段により書き込みができたと判断されたフラッシュメモリに対しては、上記制御手段から再度の書き込み命令が発行されたときに上記書き込み命令を無効化する書き込み無効化手段とを有し、書き込みに失敗したフラッシュメモリに対してだけ再書き込み処理を行うことを特徴とするフラッシュメモリ装置。

【請求項2】請求項1記載のフラッシュメモリ装置において、データの処理単位は、上記複数のフラッシュメモリの各々が有するデータ幅より大きいデータ幅で有り、上記制御手段は、上記データの処理単位を構成する複数のフラッシュメモリに対して、一括して書き込み命令を発行することを特徴とするフラッシュメモリ装置。

【請求項3】請求項1または2記載のフラッシュメモリ装置において、上記診断手段の診断結果を保持する情報保持手段を有し、上記情報保持手段が出力する信号により、上記書き込み無効化手段は、書き込みが成功したフラッシュメモリに対してする上記書き込み命令を無効化することを特徴とするフラッシュメモリ装置。

【請求項4】複数のフラッシュメモリと、外部からの書き込み命令に対応して、上記複数のフラッシュメモリに対して、一括して書き込み命令を発行し、書き込みが正しくできなかったときは、再度の書き込み命令を発行する制御手段とを有するフラッシュメモリ装置において、上記フラッシュメモリの各々について、制御手段からのデータの書き込み命令を受けて書き込みを実行した後に、データを正しく書き込めたか否かの診断結果を外部より受けて、この診断結果を保持する情報保持手段と、上記診断結果により書き込みができたと判断されたフラッシュメモリに対しては、上記制御手段から再度の書き込み命令が発行されたときに上記書き込み命令を無効化する書き込み無効化手段とを有し、書き込みに失敗したフラッシュメモリに対してだけ再書き込み処理を行うことを特徴とするフラッシュメモリ装置。

【請求項5】請求項1、2、3または4記載のフラッシュメモリ装置において、上記書き込み無効化手段は、上記フラッシュメモリ毎に

ライトイネーブル信号を無効化する回路を有し、書き込みに失敗し、再書き込みを行う必要があるフラッシュメモリにだけライトイネーブル信号を送ることを特徴とするフラッシュメモリ装置。

【請求項6】請求項1、2、3または4記載のフラッシュメモリ装置において、上記書き込み無効化手段は、上記フラッシュメモリ毎に、上記フラッシュメモリのプログラム電源端子に供給する電圧をスタンバイ電圧とプログラム電圧に切り替えることができる切り替え回路を有し、書き込みに失敗し、再書き込みを行う必要があるフラッシュメモリのプログラム電源端子にだけプログラム電圧を供給することを特徴とするフラッシュメモリ装置。

【請求項7】請求項1、2、3または4記載のフラッシュメモリ装置において、上記書き込み無効化手段は、上記フラッシュメモリ毎にライトイネーブル信号を無効化するゲート回路と、上記フラッシュメモリ毎に、上記フラッシュメモリのプログラム電源端子に供給する電圧をスタンバイ電圧とプログラム電圧に切り替えることができる切り替え回路とを有し、書き込みに失敗し、再書き込みを行う必要があるフラッシュメモリにだけライトイネーブル信号を送ると共に、プログラム電圧を供給することを特徴とするフラッシュメモリ装置。

【請求項8】複数のフラッシュメモリと、外部からの書き込み命令に対応して、上記複数のフラッシュメモリに対して、一括して書き込みコマンドと書き込みデータを転送する制御手段とを有するフラッシュメモリ装置において、上記フラッシュメモリの各々について、制御手段からのデータの書き込み命令による書き込みの実行後に、データを正しく書き込めたか否かを診断する診断手段を有し、上記制御手段は、フラッシュメモリごとに異なる命令を一括して発行でき、上記診断手段により書き込みができなかったと判断されたフラッシュメモリに対しては、書き込みコマンドと書き込みデータを再度転送し、書き込めたフラッシュメモリに対してはフラッシュメモリの動作を引き起こさないコマンドを転送することにより、書き込みに失敗したフラッシュメモリに対してだけ再書き込み処理を行うことを特徴とするフラッシュメモリ装置。

【請求項9】請求項1、2、3、4、5、6、7または8記載のフラッシュメモリ装置において、書き込み命令が発行された回数を計数し、上記回数が予め定められた回数を超えたときに、超えたことを示す信号を外部に出力する計数手段を設けたことを特徴とするフラッシュメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュメモリを使用した記憶装置であるフラッシュメモリ記憶装置に係り、特に書き込み処理においてフラッシュメモリが消費する電力を低減することに関する。

【0002】

【従来の技術】近年、書き換え可能な不揮発性メモリとしてフラッシュメモリが注目されている。フラッシュメモリはバックアップ電池なしにデータを保持できるので、従来のハードディスクやフロッピーディスクに代わる記憶媒体として期待されている。ここで、フラッシュメモリの動作を1991年度版日立ICメモリデータブック1第868頁から第881頁の記述に基づいて説明する。DRAM、SRAM等とは異なり、フラッシュメモリに対して読み出し、書き込み、消去等を行うためには、各動作に対応する制御コマンドを前もってフラッシュメモリに送っておく必要がある。フラッシュメモリ制御コマンドの一例を表1に示す。

【0003】

【表1】

表1

コマンド	データ
メモリ読み出し	00H
メモリ書き込み	40H
書き込みベリファイ	C0H
消去	20H
リセット	FFH

【0004】例えば、読み出し動作はフラッシュメモリが、データ端子（この例では、入力と出力は同じデータ端子を使用している）を経由してコマンドデータ“00H”（「H」は、データが16進表記であることを示す）を受け取り、その後チップイネーブル信号、アウトプットイネーブル信号が共にアクティブとなると開始され、開始後所定の時間が経過すると、フラッシュメモリはアドレス端子が示すアドレスの内容をデータ端子に出力する。コマンドをフラッシュメモリに受け取らせるには、表1に示すコマンドに対応したコードをデータ端子に入力すると同時に、リードコマンドの場合は、チップイネーブル信号、アウトプットイネーブル信号を共にアクティブにし、表1の他のコマンドの場合は、チップイネーブル信号、ライトイネーブル信号を共にアクティブにすればよい。なお、表1中のコマンドのうちリードコマンド以外は、書き込みのためのコマンドであり、例えば

セットコマンドは、書き込み中に書き込みを打ち切るためのものである。

【0005】書き込み動作はコマンドデータ“40H”を受け取り、その後、チップイネーブル信号、ライトイネーブル信号が共にアクティブとなると開始され、フラッシュメモリはデータ端子に入力されたデータをアドレス端子が示すアドレスに格納する。ただし、フラッシュメモリは上書きができない。つまり、書き込み動作は消去動作が行われた後のアドレスに対してしか行うことができない。従って、フラッシュメモリに既に記憶されているデータを書き換える場合、書き込み動作の前に消去動作を行っておく必要がある。

【0006】ところで、フラッシュメモリには一回の書き込み動作でデータを必ず書き込めるとは限らないという特徴がある。これはフラッシュメモリのメモセル構造に起因するものである。そこで、フラッシュメモリに正確にデータを書き込むためには、図2に示す手順に従って書き込み操作を行う必要がある。

【0007】以下、図2の書き込み操作手順を説明する。図2では、まだ1度も書き込みが行われていない領域に書き込みを行う場合を示す。すでに書き込みが行われている領域に書き込みを行うときは、図2のステップ201とステップ202の間に消去のステップが必要になる。

【0008】まず、プログラム電源端子Vppをプログラム電圧12[V]に昇圧する（処理201）。そして、書き込みコマンド“40H”をデータ端子に送り（処理202）、チップイネーブル信号、ライトイネーブル信号をアクティブにすると、フラッシュメモリ内部にある制御回路は書き込みサイクルに移行する。書き込みサイクルに移行したフラッシュメモリは書き込み可能となり、次にチップイネーブル信号、ライトイネーブル信号がアクティブとなった時にデータ端子上にあるデータをアドレス端子が示すアドレスに取り込む（処理203）。使用するフラッシュメモリに規定されている書き込み所要時間経過後、メモリ内容を確認するためにベリファイコマンド“C0H”を転送する（処理204）。その後メモリ内容を読み出して処理203において転送した書き込みデータと比較し（処理205、206）、一致すればプログラム電源端子Vppに供給されている電圧を5[V]に降圧する（処理207）ことにより書き込み操作は終了する。一致しないときは再び書き込みコマンドを転送する処理（処理202）に戻り、書き込みが成功するまで処理202から処理206を繰り返す。

【0009】さて、マイクロコンピュータのデータ幅は、マイクロコンピュータの高性能化に伴って8ビットから16ビット、32ビットへと拡張されてきた。一方、一般的なフラッシュメモリのデータ幅は8ビット構成となっているので、フラッシュメモリを用いてマイクロコンピュータのデータ幅に対応したメモリシステムを

構成するためには、16ビット幅であれば2個、32ビット幅であれば4個というようにフラッシュメモリを複数個用いる必要がある。これは8ビット幅のDRAMを用いて記憶装置を構成する場合と同様である。そして、DRAMの場合と同様に、フラッシュメモリを2個用いて16ビットデータ幅のメモリシステムを構成すると図3の回路になる。

【0010】以下、図3のメモリシステムを説明する。同図において、図2に示した操作手順はプログラムとしてROM103に格納されている。105は16ビットデータバスD0～D15における下位8ビットを格納するフラッシュメモリであり、8本あるデータ端子にはD0～D7が接続されている。106は上位8ビットデータを格納するフラッシュメモリであり、データ端子にはD8～D15が接続されている。フラッシュメモリ105、106のチップイネーブル信号、ライトイネーブル信号、アウトプットイネーブル信号はそれぞれ共通に接続されており同時にアクティブになる。

【0011】アドレスデコーダ102はCPU101がアドレスバスに送るアドレス信号を解釈し、デコード信号を制御信号生成回路104に送る。制御信号生成回路104は上記アドレスデコーダ102から送られるデコード信号と、必要の場合は、CPU101から送られるコントロール信号をもとにフラッシュメモリ105、106の制御信号（CE：チップイネーブル信号、OE：アウトプ

ットイネーブル信号、WE：ライトイネーブル信号）、Vpp電圧制御レジスタ108のラッチイネーブル信号を生成する。具体的には、Vpp電圧制御レジスタ108のラッチイネーブル信号を生成する時は、CPU101がVpp電圧制御レジスタ108をアクセスするとそのアドレスより上記アドレスデコーダ102からVpp電圧制御レジスタ108にアクセスが有ったことを示すデコード信号が制御信号生成回路104に送られる。CE、OE、WEを生成する時は、CPU101がフラッシュメモリ105、106をアクセスするとそのアドレスより上記アドレスデコーダ102からフラッシュメモリ105、106にアクセスが有ったことを示すデコード信号が制御信号生成回路104に送られ、さらに、CPU101からメモリリードまたはメモリライトを示すコントロール信号が制御信号生成回路104に送られる。これより、フラッシュメモリ105、106の制御信号（CE、OE、WE）、Vpp電圧制御レジスタ108のラッチイネーブル信号を生成する。

【0012】107はリレーを用いた電源切り替え回路であり、フラッシュメモリのプログラム電源端子Vppに供給するプログラム電圧を切り替える。電源切り替え回路107の制御はVpp電圧制御レジスタ108の設定によって行う。これを表2に示す。

【0013】

【表2】

表2

レジスタ名	I/Oアドレス	機能
Vpp電圧制御レジスタ	C004H	フラッシュメモリのプログラム電圧を制御するためのレジスタ ※設定データ 00H: Vpp=5[V] 01H: Vpp=12[V]
再書き込み情報レジスタ	C006H	書き込み成否診断結果を設定するレジスタ ※設定データ 00H: 上位・下位成功 01H: 下位失敗、上位成功 02H: 上位失敗、下位成功 03H: 上位・下位失敗

【0014】同表からわかるようにVpp電圧制御レジスタはCPU101のI/Oアドレス（例えばC004H番地）に割り当てられている。

【0015】図3の構成においては、図2に示した操作手順にしたがって書き込み操作を行えば、フラッシュメモリシステムに16ビットデータ幅でアクセスすることが可能である。

【0016】

【発明が解決しようとする課題】上記従来技術で述べたように、フラッシュメモリは一回の書き込み動作で必ずデータが書き込めるとは限らず、書き込み失敗した場合にはフラッシュメモリに再び書き込み動作をさせる必

要がある。図3に示す構成のメモリシステムに対して図2に示す操作手順で書き込み操作を行えば16ビットデータの書き込みが可能である。しかし、上位8ビットまたは下位8ビットに割り当てられているフラッシュメモリのいずれか一方が書き込み失敗した場合、図2に示す操作手順では書き込みが成功したフラッシュメモリに対しても再書き込み動作を行ってしまう。この時、書き込みに成功したフラッシュメモリは過度の書き込み（以下、過書き込みと記す）を行うことになり、電力を無駄に消費してしまう。12Vに昇圧して、書き込み命令が実際に実行される前または命令が実行された後の待機時の消費電力の増加分はチップにより異なるが例えば、1

00mW程度増加する場合がある。また、書き込み命令が実際に行われているときは、250mW程度増加する場合がある。

【0017】また、フラッシュメモリの欠点である書換え回数に制限あるということを考えると、過書き込みという無駄な書換えにより寿命を短くしている。図3のメモリシステムはこのような電力の浪費および寿命の短縮化に対して配慮がなされていない。

【0018】本発明は、フラッシュメモリを複数個用いたメモリシステムに対する書き込み操作において、フラッシュメモリに対する過書き込みを防ぐことによりフラッシュメモリが消費する電力を低減すると共に寿命の短縮化を防止したフラッシュメモリ記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】上記目的を達成するために本発明では、複数のフラッシュメモリと、外部からの書き込み命令に対応して、上記複数のフラッシュメモリに対して、一括して書き込み命令を発行し、書き込みが正しくできなかったときは、再度の書き込み命令を発行する制御手段とを有するフラッシュメモリ装置において、上記フラッシュメモリの各々について、制御手段からのデータの書き込み命令による書き込みの実行後に、データを正しく書き込めたか否かを診断する診断手段と、上記診断手段により書き込みができたと判断されたフラッシュメモリに対しては、上記制御手段から再度の書き込み命令が発行されたときに上記書き込み命令を無効化する書き込み無効化手段とを有し、書き込みに失敗したフラッシュメモリに対してだけ再書き込み処理を行うこととしたものである。

【0020】

【作用】診断手段は、書き込み実行後に各フラッシュメモリに正しく書き込めたか否かを診断する。そして、書き込みに失敗した場合は、どのフラッシュメモリが書き込みに失敗したのかを診断する。書き込み無効化手段は上記結果に基づいて再書き込み処理が不要な場合は書き込み処理を無効にする。これにより、書き込みに失敗したフラッシュメモリだけが書き込みを行うようになる。

【0021】以上のように書き込みに失敗し再書き込みが必要なフラッシュメモリに対してだけ再書き込み処理が行われる。従って、書き込みに成功したフラッシュメモリに対する過書き込みを防ぐことができるので、フラッシュメモリが消費する電力を低減するとともに寿命の短縮化が防止できる。

【0022】

【実施例】本発明を施した第一の実施例を図1、図4と表2により説明する。図1は本発明を施した16ビットデータ幅のフラッシュメモリシステムであり、図3に示したメモリシステムに情報保持回路112と書き込み禁止回路113を付加したものである。また、図4は図2

の書き込み操作を変更した診断手段であり、ROM103にプログラムとして格納されている。

【0023】本実施例では、表2に示した2つのI/Oレジスタを使用する。

【0024】Vpp電圧制御レジスタは図1の108に該当し、CPU101がフラッシュメモリのプログラム電源を制御するために使用するレジスタである。再書き込み情報レジスタは図1の情報保持回路112に該当し、CPU101がフラッシュメモリへの書き込み成否診断結果を書き込むレジスタである。CPU101は診断結果を表2に示すようなデータとしてレジスタに格納する。尚、表2に示すI/Oアドレスは使用するコンピュータシステムにより変更する必要がある。

【0025】以下、図1に示したメモリシステムの構成について説明する。本フラッシュメモリシステムは、CPU101と、アドレスデコード102と、制御信号生成回路（制御手段）104と、情報保持回路112と、ROM103と、Vpp電圧制御レジスタ108と、電源切り替え回路107と、書き込み禁止回路113と、フラッシュメモリ105、106とを有する。

【0026】アドレスデコード102は、CPU101のアドレス信号を解読しデコード信号を制御信号生成回路104に送る。制御信号生成回路104はアドレスデコード102から送られるデコード信号とCPU101から送られるコントロール信号をもとにフラッシュメモリ105、106の制御信号（CE：チップイネーブル信号、OE：アウトプットイネーブル信号、WE：ライトイネーブル信号）と情報保持回路112の制御信号（ラッチイネーブル信号）を生成する。情報保持回路112のラッチイネーブル信号を生成する時は、CPU101が情報保持回路112にアクセスすると、そのアドレスより上記アドレスデコード102から情報保持回路112にアクセスが有ったことを示すデコード信号が制御信号生成回路104に送られる。

【0027】情報保持回路（再書き込み情報レジスタ）112は、データラッチ回路114、115により構成される。CPU101が再書き込み情報レジスタ112にアクセスすると（すなわち、表2に示すI/Oアドレス"6H"にアクセスすると）、制御信号生成回路104によりデータラッチ回路114、115のラッチ信号がアクティブとなり、情報保持回路112はデータバス上に送られる書き込み成否診断情報を取り込む。また、書き込み禁止回路113は、ゲート回路116、117により構成され、情報保持回路112から送られてくる電気信号をもとにしてライトイネーブル信号(WE)を選択遮断する。例えばデータラッチ回路114のQ出力が"L"のときは、制御信号生成回路104が生成したライトイネーブル信号(WE)をゲート回路116が遮断する。これによりライトイネーブル信号(WE)はWE2信号にだけ伝わり、フラッシュメモリ106だけが書き込み動

作可能となる。

【0028】Vpp電圧制御レジスタ108は、CPU101がVpp電圧制御レジスタ108にアクセスすると、制御信号生成回路104によってVpp電圧制御レジスタ108のラッチ信号がアクティブになり、データバス上の制御データを取り込む。Vpp電圧制御レジスタ108のQ出力が“L”のとき、スイッチ111は図1に示すように5[V]側に接続されている。Vpp電圧制御レジスタ108のQ出力が“H”になると、Q出力に接続されているインバータ109の出力は“L”となる。この時、電源切り替え回路107のコイル110に電流が流れてスイッチ111が12[V]側に切り替わり、フラッシュメモリのVpp端子にプログラム電圧12[V]が供給される。

【0029】次に全体の動作について図1を用いて説明する。一回目の書き込みは2個のフラッシュメモリ105、106に対して実行される。ROM103にプログラムとして格納されている診断手段は、書き込み実行後にデータを読み出して各フラッシュメモリに正しく書き込んだか否かを診断する。そして、書き込みに失敗した場合は、上位8ビットに割り当てられているフラッシュメモリ106が書き込みに失敗したのか、下位8ビットに割り当てられているフラッシュメモリ105が書き込みに失敗したのか、あるいは両方失敗したのかを診断する。診断結果は、各フラッシュメモリに対して成功した時は“L”、失敗した時は“H”の電気信号として情報保持回路112に格納される。書き込み無効化回路113は上記情報保持回路112から送られる電気信号に基づいて再書き込み処理を制御する。例えば上位8ビットに割り当てられているフラッシュメモリ106が書き込みに失敗した場合には、該フラッシュメモリに対してだけライトイネーブル信号を送り、下位8ビットに割り当てられているフラッシュメモリ105に対するライトイネーブル信号は遮断する。これにより、一回目の書き込みに失敗した上位8ビットに割り当てられているフラッシュメモリ106だけが再転送される書き込みコマンドと書き込みデータを取り込むようになる。

【0030】以上のようにフラッシュメモリを複数個用いたメモリシステムに、書き込みが成功したか否かを診断する診断手段と、診断結果を保持する情報保持回路と、書き込みに成功したフラッシュメモリに対する再書き込みを禁止する書き込み無効化回路を設けると、書き込みに失敗し再書き込みが必要なフラッシュメモリに対してだけ再書き込み処理が行われる。従って、書き込みに成功したフラッシュメモリに対する過書き込みを防ぐことができるので、フラッシュメモリが消費する電力を低減することができる。

【0031】以下、図4の診断手段について説明する。図4に示す診断手段は図2に示した書き込み操作手順に、診断手段を構成する処理として処理401、405、410、411、412を加えたものである。

【0032】はじめにCPU101は、処理401によって再書き込み情報レジスタに初期値としてデータ“03H”を設定する。これにより、図1におけるライトイネーブル信号がゲート回路116、117を通過できるようになる。次にVpp電圧制御レジスタにデータ“01H”を設定することにより、フラッシュメモリのVpp端子にプログラム電圧12[V]を印加する(処理402)。続いてデータ端子に書き込みコマンド“4040H”を入力する(処理403)。コマンドを受け取った各フラッシュメモリは書き込みサイクルに移行し、処理404で送られてくる書き込みデータをアドレス端子が示すアドレスに格納する。ベリファイコマンドを転送するために再書き込み情報レジスタにデータ“03H”を設定し(処理405)、所定の書き込み所要時間経過後にベリファイコマンド“C0C0H”をデータ端子に入力する(処理406)。続いて、処理404で書き込みを行ったアドレスに格納されているデータの読み出しを行なう(処理407)。読み出したデータと処理404でフラッシュメモリに転送したデータが一致するか否かを確認し(処理408)、一致するときはVpp電圧制御レジスタにデータ“00H”を設定することによってVpp端子電圧を5[V]に降圧し(処理409)、再書き込み情報レジスタに終了値としてデータ“00H”を書き込んで(処理410)、フラッシュメモリへの書き込み操作は終了する。また、一致しない場合は処理407で読み出したメモリデータをもとに、フラッシュメモリ105、106どちらが書き込みに失敗したかを診断し(処理411)、診断結果を表2の再書き込み情報レジスタの項に示した設定データとして再書き込み情報レジスタに書き込む(処理412)。以後、書き込み処理を再び処理403から書き込みが成功するまで繰り返す。

【0033】本発明を施した第二の実施例を図5に示す。図5に示すメモリシステムは図1に示したメモリシステムにおける書き込み禁止回路113の構成を変えたものである。

【0034】以下、書き込み禁止回路501について説明する。書き込み禁止回路501はリレーを用いた電源切り替え回路502、503により構成される。電源切り替え回路502、503は情報保持回路112の出力信号によって制御され、例えばデータラッチ回路114のQ出力が“H”になると電源切り替え回路502のスイッチが12[V]側に切り替わり、フラッシュメモリ105のVpp端子にプログラム電圧12[V]が供給される。これにより、フラッシュメモリ105だけが書き込み動作可能となる。

【0035】次に、図5に示したメモリシステムの診断手段について図6を用いて説明する。はじめにCPU101は、処理601によって再書き込み情報レジスタに初期値としてデータ“03H”を設定する。これにより、データラッチ回路114、115のQ出力が“H”となり、フ

ラッシュメモリ 105、106のVpp端子にプログラム電圧12[V]が供給される。以後、図4に示した処理403から処理408と同様の処理を行なう。データ端子に書き込みコマンド“4040H”が入力されると(処理602)、フラッシュメモリは書き込みサイクルに移行し、処理603で送られてくる書き込みデータをアドレス端子が示すアドレスに格納する。ペリファイコマンドを転送するために再書き込み情報レジスタにデータ“03H”を設定し(処理604)、所定の書き込み所要時間経過後にペリファイコマンド“C0C0H”をデータ端子に入力する(処理605)。続いて、処理603で書き込みを行ったアドレスに格納されているデータの読み出しを行なう(処理606)。読み出したデータと処理603でフラッシュメモリに転送したデータが一致するか否かを確認し(処理607)、一致するときは再書き込み情報レジスタに終了値としてデータ“00H”を書き込んで(処理608)、フラッシュメモリへの書き込み操作は終了する。処理608によりフラッシュメモリのVpp端子電圧は5[V]に降圧される。一方、一致しない場合は処理606で読み出したメモリデータをもとに、フラッシュメモリ105、106どちらが書き込みに失敗したかを診断し(処理609)、診断結果を表2の再書き込み情報レジスタの項に示される設定データとして再書き込み情報レジスタに書き込む(処理610)。処理610により、再書き込み処理が必要なフラッシュメモリに対してだけプログラム電圧12[V]が供給される。以後、書き込み処理を再び処理602から書き込みが成功するまで繰り返す。書き込み禁止回路を図5に示したような構成にすると、書き込み成否診断結果を再書き込み情報レジスタに設定することにより、フラッシュメモリのプログラム電源に供給するプログラム電圧を制御できる。従って、Vpp電圧制御レジスタにアクセスしてフラッシュメモリのプログラム電圧を制御する必要がなくなるので、書き込み操作手順が簡略化される。尚、本実施例ではプログラム電圧を制御することによりフラッシュメモリの書き込み動作を禁止したが、チップ電源端子(Vcc)に供給される電圧を0Vに制御しても書き込み動作を禁止することができる。

【0036】本発明を施した第三の実施例を図7に示す。これは、図3に示す従来例にハードウェアを追加することなく、ソフトウェアを追加するのみで本発明の目的を達成するものである。図7に示した診断手段は図3に示したメモリシステムに対して書き込み操作を行う場合に有効である。図3に示したメモリシステムの回路構成では、書き込みに成功したフラッシュメモリの書き込み動作を禁止することができない。従って、図7に示したような書き込み操作手順に沿って書き込み操作を行うことにより、書き込みに成功したフラッシュメモリに対する書き込み動作を禁止する。

【0037】以下、図7を説明する。はじめに、CPU 1

01はフラッシュメモリのVpp端子にプログラム電圧を供給するために、Vpp制御レジスタにデータ“01H”を書き込む(処理701)。処理702において、一回目の書き込み処理では書き込みコマンドとして“4040H”を転送する。コマンドを受け取ったフラッシュメモリ105、106は書き込みサイクルに移行し、処理703で送られてくる書き込みデータをアドレス端子が示すアドレスに格納する。所定の書き込み所要時間経過後にペリファイコマンド“C0C0H”をデータ端子に入力する(処理704)。続いて、処理703で書き込みを行ったアドレスに格納されているデータの読み出しを行ない(処理705)、読み出したデータと処理703でフラッシュメモリに転送したデータが一致するか否かを確認する(処理706)。一致するときはVpp制御レジスタにデータ“00H”を設定して(処理707)、フラッシュメモリへの書き込み操作は終了する。また、一致しない場合は処理705で読み出したメモリデータをもとに、フラッシュメモリ105、106どちらが書き込みに失敗したかを診断し(処理708)、診断結果に基づいて書き込みコマンドと書き込みデータを変換する(処理709)。処理709実行後、書き込みが成功するまで処理702から再び書き込み処理を行う。

【0038】書き込みコマンドと書き込みデータの変換は次のようにして行う。例えば上位8ビットに割り当てられているフラッシュメモリ106が書き込みに失敗した場合はコマンドデータを“4011H”とする。ただし、下位8ビットの値“11H”は使用するフラッシュメモリに規定されているコマンドデータ(表1参照)以外の値であれば他の値でも良い。また、書き込みデータの変換も書き込みコマンドの変換と同様に行ない、書き込みデータの下位8ビットを“11H”に変換する。処理709によって書き込みコマンドが“4011H”に、書き込みデータの下位8ビットが“11H”にそれぞれ変換されると、処理702においてフラッシュメモリ105はコマンドデータ“11H”を受け取るので、処理702実行後でもフラッシュメモリ105は書き込みサイクルに移行しない。また、次の処理703においてもフラッシュメモリ105が受け取るデータは“11H”なので、フラッシュメモリ105は何の動作も行わない。

【0039】図7に示した操作手順に従って書き込み操作を行えば、図3に示したメモリシステムに書き込みを禁止する回路を設ける必要がないので、メモリシステムを搭載するために必要な基板面積を節約することができる。

【0040】本発明を施した第四の実施例を図8に示す。図8に示すメモリシステムの書き込み禁止回路は、図1と図5に示したメモリシステムの書き込み禁止回路を組み合わせたものである。

【0041】以下、書き込み禁止回路801について説明する。書き込み禁止回路801は電源切り替え回路8

02、803とゲート回路804、805により構成される。各電源切り替え回路と各ゲート回路は情報保持回路112の出力によって制御される。例えば、データラッチ回路114のQ出力が“H”になると電源切り替え回路802のスイッチが12[V]側に切り替わり、フラッシュメモリ105のVpp端子にプログラム電圧12[V]が供給される。また、ゲート回路804は制御信号生成回路104が生成したライトイネーブル信号(WE)をWE1信号に伝える。

【0042】図8に示した各電源切り替え回路と各ゲート回路は、情報保持回路112の出力によって制御される。よって、再書き込み情報レジスタに所定のデータを設定すれば、プログラム電圧の切り替え制御とライトイネーブル信号(WE)の選択遮断が同時に行える。従って、図8に示したメモリシステムの診断手段は図6に示した診断手段と全く同一でよい。

【0043】書き込み禁止回路を図8に示すような構成にすると、書き込みに成功したフラッシュメモリに対する書き込みの禁止をより確実に行うことができる。

【0044】本発明を施した第五の実施例を示す構成図を図9に示す。本実施例は第一の実施例(図1)に計数手段901を追加したものである。計数手段901は再書き込み処理中におけるWE1信号とWE2信号を監視する。具体的には、再書き込み処理中において、WE1信号とWE2信号がアクティブになった回数をそれぞれ計数し、いずれかが所定回数を越えたときNMI信号902をCPU101に出力する。所定回数は、チップにより異なるが、現状の技術レベルでは、1万回から10万回がチップの寿命とされている。こうしてフラッシュメモリ105またはフラッシュメモリ106が書き込み不能になったとき、メモリアクセス処理を中止し、ROM103に格納されたNMIルーチンを起動することが

できる。

【0045】

【発明の効果】本発明によれば、フラッシュメモリを複数個用いたメモリシステムに対する書き込み操作において、書き込みに成功したフラッシュメモリに対する過書き込みを防止することができるので、フラッシュメモリが消費する電力を低減するとともに寿命の短縮化を防止することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示すブロック図である。

【図2】フラッシュメモリに対する書き込み操作のフローチャートである。

【図3】16ビットデータ幅のフラッシュメモリシステムを示すブロック図である。

【図4】図1に示すフラッシュメモリシステムに対する書き込み操作のフローチャートである。

【図5】本発明の第二の実施例を示すブロック図である。

【図6】図5に示すフラッシュメモリシステムに対する書き込み操作のフローチャートである。

【図7】本発明の第三の実施例を示すフローチャートである。

【図8】本発明の第四の実施例を示すブロック図である。

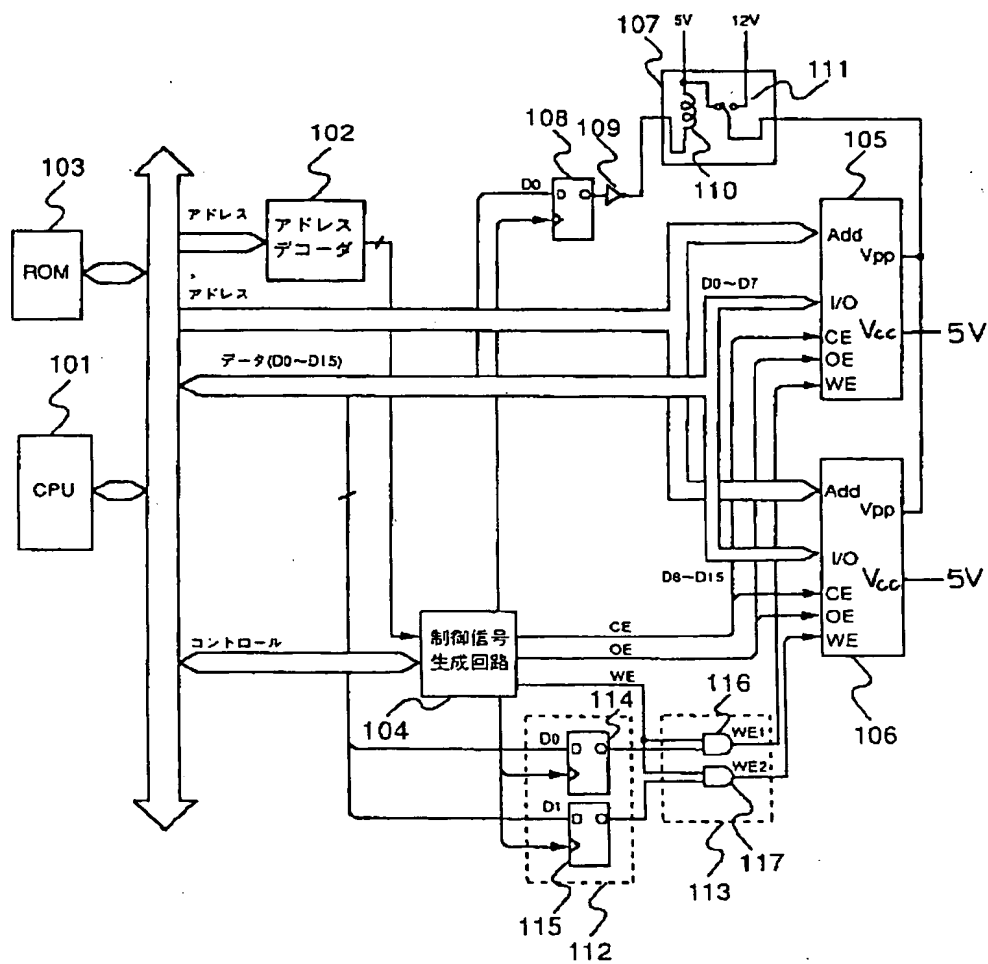
【図9】本発明の第五の実施例を示すブロック図である。

【符号の説明】

101…CPU、103…ROM、105…フラッシュメモリ、106…フラッシュメモリ、112…情報保持回路、113…書き込み禁止回路、901…計数手段。

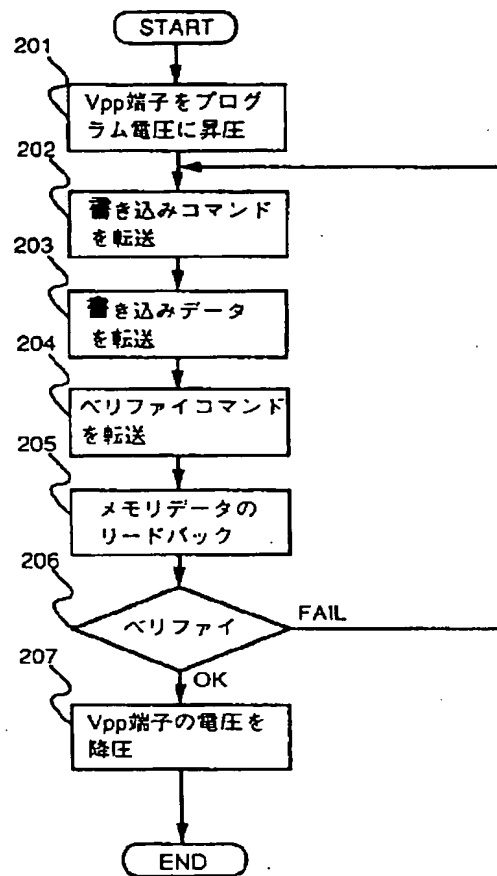
【図1】

図1



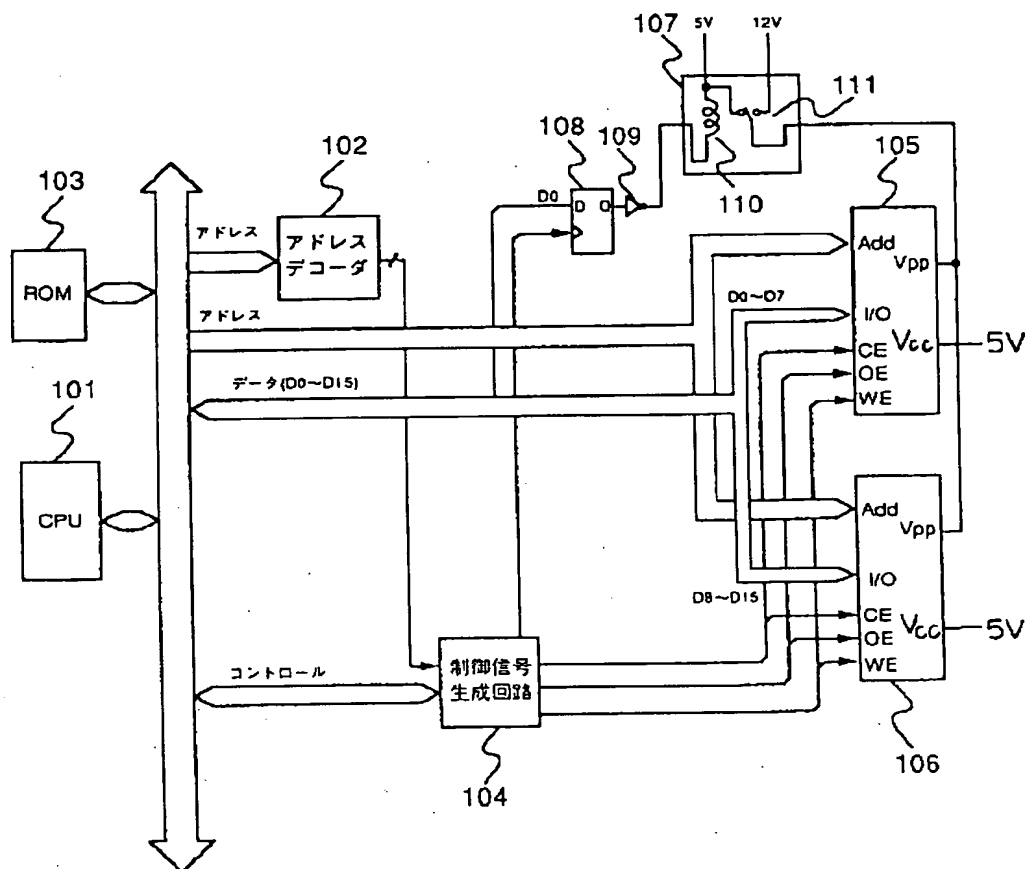
【図2】

図2



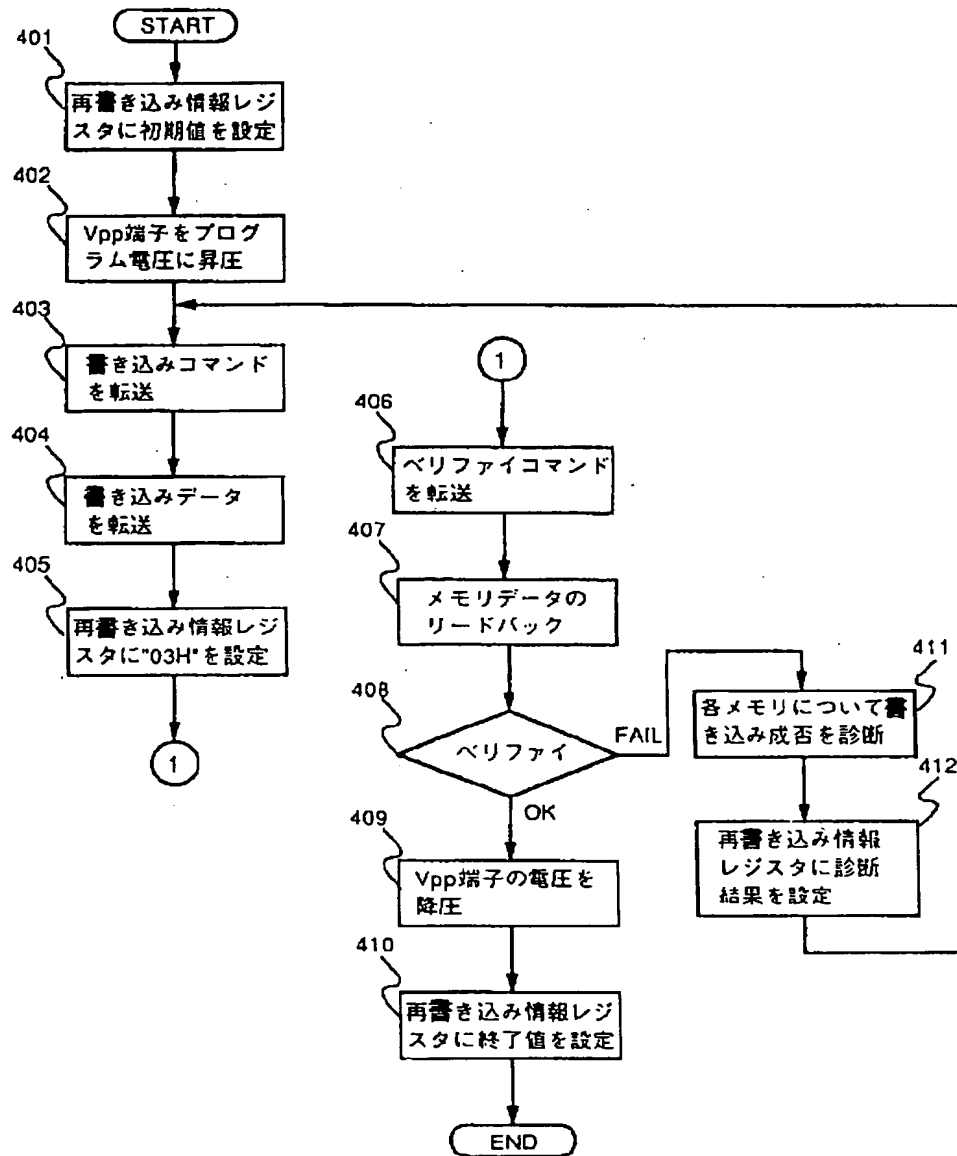
【図3】

図3



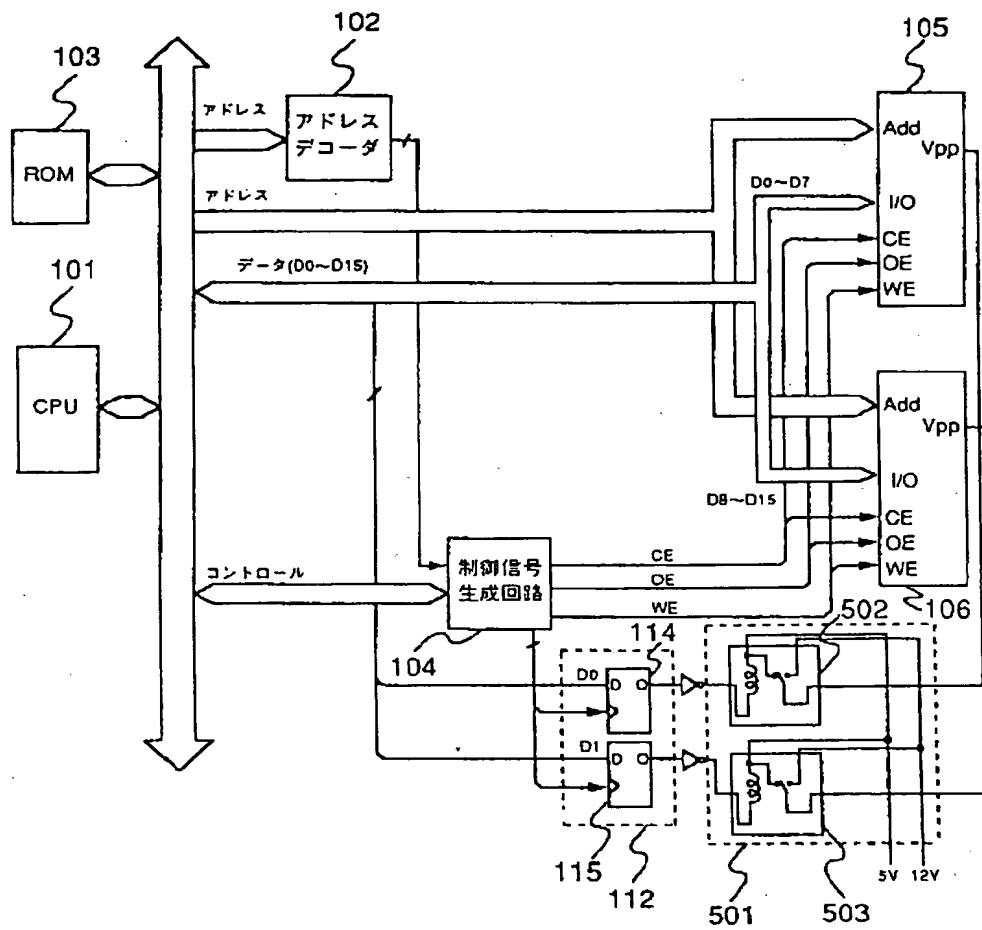
【図4】

図4



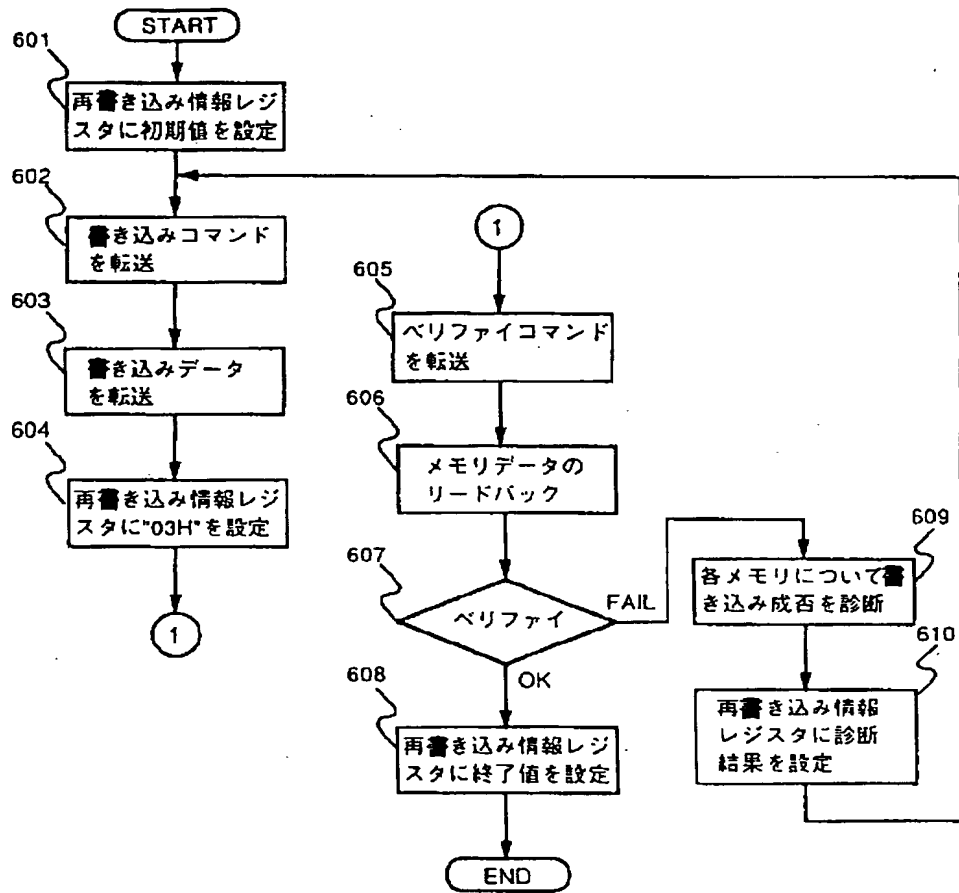
【図5】

図5



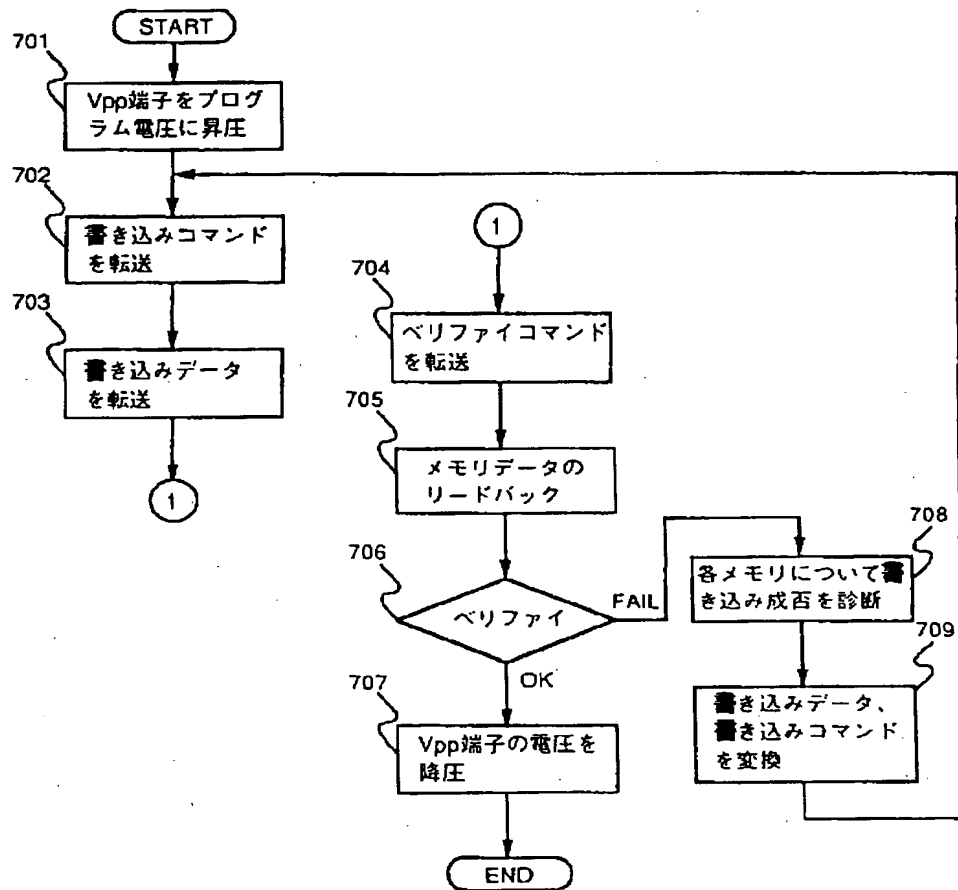
【図6】

図6



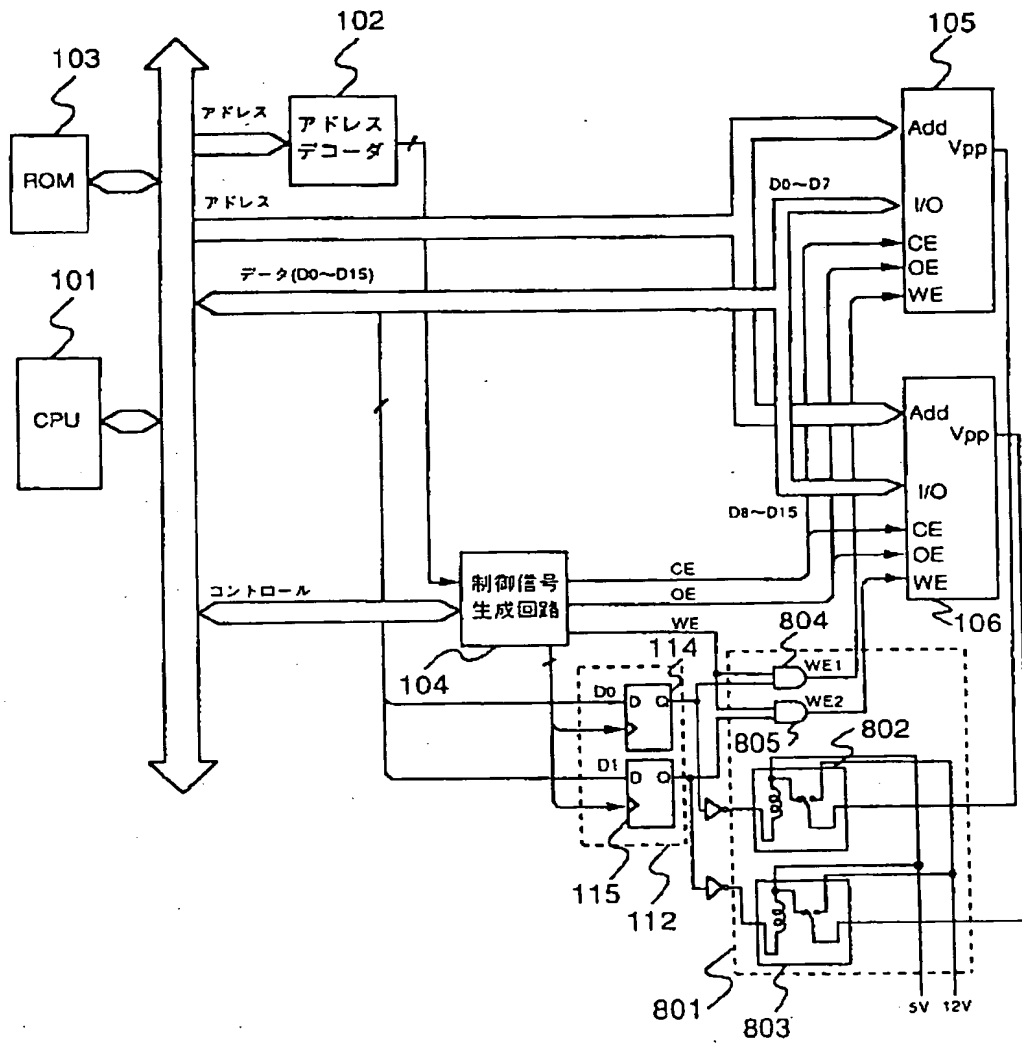
【図7】

図7



【図8】

図8



【図 9】

図 9

